

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Byoung-Han KIM

Serial No.: 08/840,892

Filed: 17 April 1997

For: A VIDEO SIGNAL CONVERTING APPARATUS AND A DISPLAY DEVICE
HAVING THE SAME



Examiner: To Be Assigned

Art Unit: To Be Assigned

CLAIM OF PRIORITY UNDER 35 U.S.C. §119


The Assistant Commissioner
for Patents
Washington, DC 20231

Sir:

The benefit of the filing date of the following prior foreign applications, Korean Priority Nos. 96-11554 (filed in Korea on 17 April 1996) and 96-64026 (filed in Korea on 10 December 1996), and filed in the U.S. Patent and Trademark Office on 17 April 1997 is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith are certified copies of said original foreign applications.

Respectfully submitted,


Robert E. Bushnell
Reg. No.: 27,774
Attorney for the Applicant

1511 "K" Street, N.W., Suite 425
Washington, D.C. 20005
(202) 638-5740

Folio: P54514
Date: 5/30/97
I.D.: REB/cs

Team 0280
#4
12-13-97
M.L.

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

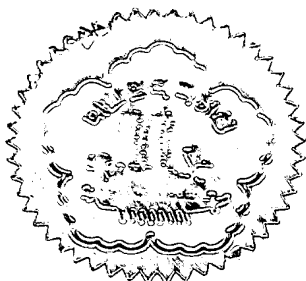
출원 번호 : 1996 년 특허출원 제 11554 호
Application Number

출원 년 월 일 : 1996 년 4 월 17 일
Date of Application

출원 인 : 삼성전자 주식회사
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

199⁶ 년 6 월 18 일

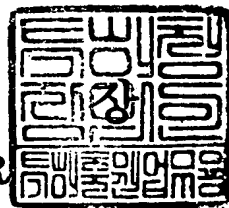


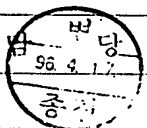
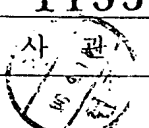
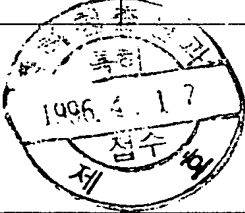
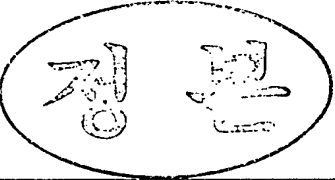


특

허

청

COMMISSIONER



IPC 분류 기호	주분류			방식 심사 란	출원번호 : 11554																								
	부분류																												
접수 인란			 특 허 출 원 서																										
출원인	성 명	삼성전자 주식회사(SAMSUNG ELECTRONICS CO., LTD.) 대표이사 김 광 호			국적	대한민국																							
	주 소	경기도 수원시 팔달구 배탄동 416번지			출 원 인 코드번호	14001979																							
대리인	성 명	임 창 현	대리인코드	632 - H361	전화번호	3453-7631/3																							
	주 소	서울시 강남구 역삼동 827-4(금성빌딩 3층)																											
발명자	성 명	김 병 한	주민등록번호	690416-1821319	국 적	대한민국																							
	주 소	경기도 수원시 장안구 연무동 237-6번지 25/3																											
	성 명		주민등록번호		국 적																								
	주 소																												
	성 명		주민등록번호		국 적																								
	주 소																												
발명의 명칭		표시 모드 변환 기능을 가지는 액정 표시 장치(LIQUID CRYSTAL DISPLAY WITH DISPLAY MODE CONVERSION FUNCTION)																											
특허법 제 42 조 및 실용신안법 제 8 조의 규정에 의하여 위와같이 출원합니다. 1996 년 4 월 17 일 출원인 대리인 변리사 임 창 현 																													
특허청장 귀하 특허법 제 60 조 및 실용신안법 제 15 조의 규정에 의하여 위와같이 청구합니다. 청구인 대리인 변리사 임 창 현 																													
첨부서류 1. 출원서 부분 2 통 2. 명세서, 요약서 및 도면 각 3 통 3. 위임장 1 통				<table border="1"> <tr> <th colspan="4">수 수 료</th> </tr> <tr> <td rowspan="2">출원료</td> <td>기 본</td> <td>20면</td> <td>20,000원</td> </tr> <tr> <td>가 산</td> <td>28면</td> <td>19,600원</td> </tr> <tr> <td colspan="2">우선권주장료</td> <td>- 건</td> <td>- 원</td> </tr> <tr> <td colspan="2">심사청구료</td> <td>1/17항</td> <td>364,000원</td> </tr> <tr> <td colspan="2">합 계</td> <td colspan="2">403,600 원</td> </tr> </table>			수 수 료				출원료	기 본	20면	20,000원	가 산	28면	19,600원	우선권주장료		- 건	- 원	심사청구료		1/17항	364,000원	합 계		403,600 원	
수 수 료																													
출원료	기 본	20면	20,000원																										
	가 산	28면	19,600원																										
우선권주장료		- 건	- 원																										
심사청구료		1/17항	364,000원																										
합 계		403,600 원																											

명 세 서

1. 발명의 명칭

표시 모드 변환 기능을 가지는 액정 표시 장치(LIQUID CRYSTAL
DISPLAY WITH DISPLAY MODE CONVERSION FUNCTION)

2. 도면의 간단한 설명

제1도는 액티브 매트릭스 액정 표시 장치의 구성을 개략적으로 보여 주는
블럭도;

제2도는 종래의 액정 표시 제어 장치의 회로 구성을 보여주는 블럭도;

제3도는, VGA 모드 신호들이 XGA 모드 액정 표시 장치로 제공되는 경우
에 있어서, 종래의 기술에 따른 영상 표시 영역을 보여 주는 도면;

제4도는, VGA 모드 신호들이 XGA 모드 액정 표시 장치로 제공되는 경우
에 있어서, 본 발명에 따른 영상 표시 영역을 보여주는 도면;

제5도는 본 발명에 따른 액정 표시 제어 장치의 회로 구성을 보여 주는 블록도;

제6도는 제5도에 도시된 메모리 블록 주변의 회로 구성을 보여 주는 블록도;

제7도는 제5도에 도시된 출력 선택 회로의 실시예를 보여 주는 회로도;

제8도는, VGA 모드 신호들이 본 발명의 액정 표시 장치로 제공될 때, 각 메모리 블록에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여 주는 도면;

제9도는, SVGA 모드 신호들이 본 발명의 액정 표시 장치로 제공될 때, 각 메모리 블록에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여 주는 도면;

제10도는 제5도에 도시된 수평 출력 발생 회로의 실시예를 보여 주는 회로도;

제11도는 수직 동기 신호와 수평 출력 신호의 타이밍도.

제12도는 제 5 도에 도시된 플래그 회로의 실시예를 보여 주는 회로도;

제13도는 제5도에 도시된 메모리 선택 제어 회로의 실시예를 보여 주는 회로도;

제14도는 기입 동작에 따라서 독출 동작용 라인 메모리가 선택되는 과정을

설명하기 위한 타이밍도;

제15도는 제6도에 도시된 메모리 관리 회로의 바람직한 실시예를 보여주는 회로도;

도면의 주요 부분에 대한 부호의 설명

100 : 마이크로컴퓨터	200 : 도트 클럭 발생 회로
300 : 수평 출력 발생 회로	400 : 메모리
500 : 플래그 회로	600 : 메모리 선택 제어 회로
700 : 메모리 관리 회로	

3. 발명의 상세한 설명

[산업 상의 이용 분야]

본 발명은 액정 표시 장치(Liquid Crystal Display;LCD)에 관한 것으로, 더 구체적으로는 표시 모드 변환 기능을 가지는 LCD에 관한 것이다.

[종래의 기술 및 그의 문제점]

화소(pixel)들 각각에 대응되는 스위칭 소자들에 의해 각 화소를 개별적으로 점멸(ON/OFF)시키는 액티브 매트릭스 액정 표시 장치(active matrix LCD)는, 제 1 도에 도시된 바와 같이, LCD 제어 장치(control

unit)(20)와, LCD 패널(panel)(30)을 포함하고 있다. LCD 패널(30)에는, LCD 구동 장치(drive unit)(40)가 내장되어 있다. LCD 제어 장치(20)는 퍼스널 컴퓨터(PC) 등과 같은 호스트(host)(10)로부터 제공되는 아날로그 컬러 신호들을 디지털 컬러 신호들로 변환하고, 수평 출력 신호(V_{in}) 및 도트 클럭 신호(dot clock signal)(Dclk)를 발생한다. LCD 제어 장치(20)로부터 각각 출력되는 디지털 컬러 신호와, 도트 클럭 및 수평 출력 신호들은 LCD 패널(30) 내에 장착된 LCD 구동 회로(40)로 제공된다.

제 2 도를 참조하면, 종래의 LCD 제어 장치(20)는, 수평 동기 신호(horizontal synchronous signal)(H_{sync})를 입력받아 수평 출력 신호(H_{out})와 도트 클럭 신호(Dclk)를 발생하는 PLL(Phase Locked Loop) 회로(21)와, 호스트로부터 제공되는 아날로그 R(red), G(green), B(blue) 신호들을 각각 디지털 R, G, B 신호들로 변환하여 LCD 구동 회로(40)로 제공하는 ADC 회로(Analog to Digital Converter)(22)를 포함하고 있다. 상기 수평 출력 신호(H_{out})는 수평 동기 신호(H_{sync})에 대응되는 신호로서, 상기 수평 출력 신호(H_{out})의 주파수는 수평 동기 신호(H_{sync})의 그것과 동일하다. 반면, 호스트의 특성에 따라서 PLL 회로(21)로 입력되는 수평 동기 신호(H_{sync})의 극성(polarity)이 변화될 수 있는 데, 상기 PLL 회로(21)는 미리 정해진 극성의 수평 출력 신호(H_{out})를 출력한다. 예컨대, 네그티브 극성(negative

polarity)의 수평 출력 신호(H_{out})에 동기되어서 동작되는 구동 회로(40)를 가지는 LCD에서, 호스트로부터 PLL 회로(21)로 포지티브 극성(positive polarity)의 수평 동기 신호(H_{sync})가 제공되더라도, PLL 회로(21)는 네그티브 극성의 수평 출력 신호(H_{out})를 LCD 구동 회로(40)로 제공한다. 여기서 PLL 회로(21)는, 잘 알려져 있는 바와 같이, 위상 검출기, VCO(Voltage Controlled Oscillator), 분주기(divider), 출력 발생기(output generator)로 구성되어 있다.

일반적으로, LCD는 단일 표시 모드(single display mode) 예컨대, VGA(Video Graphics Array), SVGA(Super VGA), 또는 XGA(eXtended Graphics Array) 모드 중 하나만을 지원하고 있다. 따라서, 총 해상도(total resolution) 1344×806 의 XGA 모드를 지원하는 LCD로, 예를 들어, 총 해상도 420×449 의 VGA 모드용 신호들이 제공되면, 제 3 도에 도시된 바와 같이, 상기 XGA LCD 화면 상의 일부 영역(A)에서만 영상(image)이 표시되고, 그 나머지 영역(B)에서는 영상이 표시되지 않는다. 총 해상도 1056×628 의 SVGA 모드 신호들이 XGA LCD로 제공되는 경우에도 위와 마찬가지로이다. 이와 같이, 종래에는, 호스트로부터 저 해상도 표시 모드 신호들(low resolution display mode signals)이고 해상도 표시 모드(high resolution display mode)를 지원하는 LCD로 제공되는 경우에, 화면의 일부

에서만 영상이 표시되는 문제점이 있었다.

[발명의 목적]

본 발명의 목적은 호스트로부터 저 해상도 표시 모드 신호들이 입력되더라도 영상을 화면 전체에서 표시하는 LCD를 제공하는 것이다.

본 발명의 다른 목적은 저 해상도 표시 모드 신호들을 LCD가 지원하는 고 해상도 표시 모드 신호들로 변환하는 기능을 가지는 LCD 제어 장치(controller)를 제공하는 것이다.

[발명의 구성]

상기 목적들을 달성하기 위한 본 발명의 특징에 의하면, 액정 표시 장치는: 호스트로부터 제공되는 수평 동기 신호와 수직 동기 신호를 입력받아 호스트 지원 표시 모드를 판별하고, 판별된 모드에 대응하는 주파수를 갖는 수평 출력 신호와 도트 클럭 신호를 출력하며, 상기 호스트로부터 제공되는 아날로그 컬러 신호들을 해당 LCD 패널의 표시 모드에 적합한 디지털 컬러 신호들로 변환하는 LCD 제어 수단과; 상기 수평 출력 신호 및 상기 도트 클럭 신호를 입력하여 상기 LCD 패널을 구동하는 LCD 구동 수단을 포함하여; 상기 호스트 지원 표시 모드의 신호들을 해당 LCD 패널의 표시 모드의 신호들로 변환한다.

이 장치에 있어서, 상기 LCD 제어 수단은; 상기 수평 동기 신호 및 상

기 수직 동기 신호를 입력받아 상기 호스트 지원 표시 모드를 판별하고, 상기 호스트 지원 표시 모드를 나타내는 모드 표시 신호와 판별된 모드에 대응되는 상기 수평 출력 신호의 파형을 나타내는 데이터 신호를 출력하는 표시 모드 판별 수단과; 상기 디지털 쉐더 신호들을 저장하기 위한 메모리 수단과; 상기 수평 동기 신호를 입력받아 상기 메모리 수단의 기입 동작을 위한 기입 도트 클럭 신호와 상기 메모리 수단의 독출 동작을 위한 독출 도트 클럭 신호를 발생하는 도트 클럭 발생 수단과; 상기 수직 동기 신호에 응답하여 상기 데이터 신호를 입력받고, 상기 독출 도트 클럭 신호에 동기되어서 상기 수평 출력 신호를 발생하는 수평 출력 발생 수단과; 상기 수평 동기 신호 및 상기 기입 도트 클럭 신호를 입력받아 상기 메모리 수단의 기입 동작을 제어하고, 상기 수평 출력 신호 및 상기 독출 도트 클럭 신호를 입력받아 상기 메모리 수단의 독출 동작을 제어하는 메모리 제어 수단을 포함한다.

이 장치에 있어서, 상기 메모리 수단은; 상기 디지털 쉐더 신호들을 각각 저장하기 위한 제 1 내지 제 3 메모리 블록들과, 상기 메모리 제어 수단에 의해 제어되어 상기 각 메모리 블록에 기입된 상기 쉐더 신호들을 선택적으로 출력하는 출력 선택 수단을 포함한다.

이 장치에 있어서, 상기 메모리 블록들 각각은, 적어도 3 개의 라인 메

모리들을 포함한다.

이 장치에 있어서, 상기 메모리 제어 수단은: 상기 각 메모리 블록의 상기 라인 메모리들 중에서, 상기 기입 동작과 상기 독출 동작이 수행될 라인 메모리들을 소정의 순서대로 각각 표시하는 복수의 플래그(flag)를 발생하는 플래그 수단과; 상기 플래그 수단으로부터 제공되는 상기 복수의 플래그에 응답하여, 상기 기입 동작과 상기 독출 동작이 수행될 라인 메모리들을 각각 선택하는 제 1 및 제 2 메모리 선택 신호들을 발생하되, 하나의 라인 메모리가 상기 기입 동작과 상기 독출 동작을 위해 동시에 선택되는 것을 막는 메모리 선택 제어 수단과; 상기 수평 동기 신호, 상기 수평 출력 신호, 상기 기입 도트 클럭 신호 및 상기 독출 도트 클럭 신호를 입력받고, 상기 메모리 선택 제어 수단에 의해 제어되어 상기 메모리 수단의 기입 및 독출 동작들을 위한 메모리 액세스를 관리하는 메모리 관리 수단을 포함한다.

이 장치에 있어서, 상기 메모리 선택 제어 수단은; 상기 플래그 수단으로부터 제공되는 정보에 의해 현재 기입 동작 중에 있는 라인 메모리의 기입 동작의 완료 전에 상기 라인 메모리가 다음의 독출 동작을 위해 선택될 것인 지를 예측하고, 다음의 독출 동작을 위해 상기 라인 메모리가 선택될 것으로 판단될 때 상기 독출 플래그 발생 수단을 디스에이블시키기 위한 독출 플래그 제어 신호를 발생하는 선택 오류 감시 수단을 포함한다.

이 장치에 있어서, 상기 메모리 선택 제어 수단은; 상기 수평 동기 신호와 상기 수평 출력 신호의 타이밍이 일치할 때 상기 독출 플래그 발생 수단을 인에이블시키기 위한 다른 하나의 독출 플래그 제어 신호를 발생하는 순환 오류 감시 수단과, 상기 독출 플래그 제어 신호들 중 어느 하나를 상기 독출 플래그 발생 수단으로 선택적으로 제공하는 제어 신호 출력 수단을 포함한다.

이 장치에 있어서, 상기 메모리 관리 수단은; 메모리 선택 제어 수단으로부터 제공되는 상기 제 1 메모리 선택 신호에 응답하여 각 메모리 블록의 라인 메모리들의 기입 및 독출 동작을 제어하는 기입/독출 제어 수단과; 상기 수평 동기 신호, 상기 수평 출력 신호, 상기 기입 독출 도트 클럭 신호 및 상기 독출 도트 클럭 신호를 입력받아 메모리 독출 동작 및 메모리 기입 동작을 위한 기입 및 독출 어드레스들을 발생하는 어드레스 발생 수단과; 상기 기입/독출 제어 수단에 의해 제어되어 상기 기입 및 독출 어드레스들을 선택적으로 상기 각 메모리 블록의 상기 라인 메모리들로 각각 제공하는 어드레스 선택 수단 및; 상기 기입/독출 제어 수단에 의해 제어되어 상기 기입 및 독출 도트 클럭 신호들을 선택적으로 상기 각 메모리 블록의 상기 라인 메모리들로 각각 제공하는 도트 클럭 선택 수단을 포함한다.

이 장치에 있어서, 상기 LCD 패널은 XGA 모드를 지원하고, 상기 LCD 제어 수단은 VGA 모드의 신호들을 입력받아 상기 XGA 모드의 신호들을 상기 LCD 구동 수단으로 제공한다.

이 장치에 있어서, 상기 LCD 패널은 XGA 모드를 지원하고, 상기 LCD 제어 수단은 SVGA 모드의 신호들을 입력받아 상기 XGA 모드의 신호들을 상기 LCD 구동 수단으로 제공한다.

[작용]

저 해상도 모드용 쿨러, 수평 및 수직 동기 신호들이 XGA 모드 LCD로 제공되는 경우, LCD 화면의 전체 영역에서 영상이 표시되도록 하기 위해 도트 클럭 신호의 주파수와 수평 동기 신호의 주파수를 증가시킨다. 이로써, 화면의 영상 표시 영역이 수평 방향 및 수직 방향으로 확대된다.

이제부터 첨부된 도면들에 의거하여 본 발명에 따른 LCD 제어 장치에 대해 상세히 설명한다.

먼저, VGA 모드 신호들이 본 발명의 LCD 제어 장치로 입력되는 경우, 수직 동기 신호(V_{sync})의 주파수는 동일하게 유지하고, 수평 동기 신호(H_{sync})의 주파수 및 도트 클럭 신호(Dclk)의 주파수는 다음의 <표 1>과 같이 0.6 배 더 증가시킨다. 이로써, LCD 화면 상에서 영상이 거의 XGA 모드의 해상도로 표시될 수 있다.

<표 1>

변환 전			변환 후	
해상도 dots × lines	수평 주파수 KHz	수직 주파수 Hz	수평 주파수 KHz	해상도 dots × lines
640 × 350 (800 × 449)	31.50	70.0	50.40	1024 × 560 (1280 × 718)
640 × 480 (800 × 525)	31.50	60.0	50.40	1024 × 768 (1280 × 840)
640 × 400 (800 × 449)	31.50	70.0	50.40	1024 × 640 (1280 × 718)
640 × 480 (800 × 520)	37.87	72.8	60.59	1024 × 768 (1331 × 832)

위의 표에서, 해상도는 상용 해상도(active resolution)를 표시하고, ()속의 수치는 총 해상도(total resolution)를 표시한다.

위의 <표 1>와 같이, 예컨대, 640 × 480의 해상도는 1024 × 768의 해상도로 변환되므로, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.6이다. 이 변환 방식에 의하면, 5 개의 라인들에 대응되는 컬러(R, G, B) 신호들은 8 개의 라인들에 대응되는 컬러 신호들로 변환된다.

다음, SVGA 모드 신호들이 본 실시예의 LCD 제어 장치로 입력되는 경우, 수직 동기 신호(V_{sync})의 주파수는 동일하게 유지하고, 수평 동기 신호(H_{sync})의 주파수 및 도트 클럭 신호(Dclk)의 주파수는 다음의 <표 2>와 같이 약 0.25 배 더 증가시킨다. 이로써, 제 4 도에 도시된 바와 같이, LCD 화면 상에서, 영상은 거의 XGA 모드의 해상도로 표시될 수 있다.

<표 2>

변환 전			변환 후	
해상도 dots×lines	수평 주파수 KHz	수직 주파수 Hz	수평 주파수 KHz	해상도 dots×lines
800×600 (1024×625)	35.16	56.2	43.95	1000×750 (1280×781)
800×600 (1056×628)	37.88	60.3	47.35	1000×750 (1320×785)
800×600 (1040×666)	48.08	72.0	60.10	1000×750 (1300×832)

위의 표에서, 해상도는 상용 해상도를 표시하고, ()속의 수치는 총 해상도를 표시한다.

위의 <표 2>와 같이, 예컨대, 800×600의 해상도는 1000×750의 해상도로 변환되므로, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.28이다. 하지만, 변환의 편의상, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.25가 되도록 한다. 이 변환 방식에 의하면, 4 개의 라인들에 대응되는 컬러 신호들은 5 개의 라인들에 대응되는 컬러 신호들로 변환된다.

제 5 도는 VGA 또는 SVGA 모드 신호들을 XGA 모드 신호들로 변환하는 본 발명에 LCD 제어 장치의 회로 구성을 보여주고 있다.

제 5 도를 참조하면, 호스트로부터 출력되는 수평 동기 신호(H_{sync})와 수직 동기 신호(V_{sync})는 마이크로컴퓨터(100)로 입력된다. 마이크로컴퓨터(100)는 수평 동기 신호(H_{sync})와 수직 동기 신호(V_{sync})를 이용하여 호스트

가 지원하는 표시 모드(이하, '호스트 지원 표시 모드'라 함)를 판별하고, 그 결과를 표시하는 제 1 및 제 2 모드 표시 신호들(MD1, MD2)을 발생한다. 상기 호스트 지원 표시 모드가 SVGA 모드일 때에는 마이크로컴퓨터(100)로부터 하이 레벨의 제 1 모드 표시 신호(MD1)와 하이 레벨의 제 2 모드 표시 신호(MD2)가 출력되고, 호스트 지원 표시 모드가 VGA 모드일 때에는 로우 레벨의 제 1 모드 표시 신호(MD1)와 하이 레벨의 제 2 모드 표시 신호(MD2)가 출력되며, 호스트 지원 표시 모드가 XGA 모드일 때에는 마이크로컴퓨터(100)로부터 로우 레벨의 제 2 모드 표시 신호(MD2)가 출력된다. 또한, 상기 마이크로컴퓨터(100)로부터는 XGA 모드용 수평 동기 신호인 수평 출력 신호(H_{out})의 주기당 도트 수를 표시하는 제 1 데이터 신호(TA)와 상기 수평 출력 신호(H_{out})의 펄스 폭을 표시하는 제 2 데이터 신호(PW)가 제공된다.

도트 클럭 발생 회로(200)는 2 개의 PLL 회로(210, 220)로 구성되며, PLL 회로들(210, 220)은 메모리 기입 동작 및 독출 동작을 위한 기입 및 독출 도트 클럭 신호들(W_Dclk, R_Dclk)을 각각 발생한다.

수평 출력 발생 회로(300)는 호스트로부터 제공되는 수직 동기 신호(V_{sync})와 마이크로컴퓨터(100)로부터 제공되는 상기 제 1 및 제 2 데이터 신호(TA, PW)를 이용하여 수평 출력 신호(H_{out})를 발생한다. 이때, 상기

수평 출력 신호(H_{out})는 수평 동기 신호(H_{sync} : 이하 ' H_{in} '로 표시함)에 동기되어서 발생된다.

제 5 도에 도시된 바와 같이, 본 발명의 장치는 R, G, B 신호들에 각각 대응되는 3 개의 메모리 블록(410a, 410b, 410c) 및 출력 선택부(420)를 구비하는 메모리(400)를 포함하고 있다. 메모리 블록들(410a, 410b, 410c) 각각은 적어도 3 개 이상의 라인 메모리(line memory)로 이루어진다.

수평 동기 신호(H_{in})와 도트 클럭 발생 회로(200) 및 수평 출력 발생 회로(300)의 출력들은 메모리 제어 회로(500, 600, 700)로 제공된다. 메모리 제어 회로(500, 600, 700)는 수평 동기 신호(H_{in}) 및 기입 도트 클럭 신호(W_Dclk)를 입력받아 상기 메모리(400)의 기입 동작을 제어하고, 수평 출력 신호(H_{out}) 및 독출 도트 클럭 신호(R_Dclk)를 입력받아 메모리(400)의 독출 동작을 제어한다.

플래그 회로(flag circuit)(500)는, 각 메모리 블록에서, 기입 동작과 독출 동작이 수행될 라인 메모리들을 미리 정해진 순서대로 각각 표시하는 플래그 신호들을 제공한다.

메모리 선택 제어 회로(memory selection control circuit)(600)는, 각 메모리 블록에서, 어느 한 라인 메모리로의/로부터의 동시적(同時的)인 기입/독출 동작들의 발생을 막으면서 기입 동작 및 독출 동작이 각각 수행될 라

인 메모리들을 선택하는 메모리 선택 신호들(W_Sel, R_Sel)을 제공한다.

메모리 관리 회로(700)는 메모리 선택 제어 회로(600)의 지시에 따라 각 메모리 블록을 구성하는 라인 메모리들의 기입, 독출 동작들을 위한 메모리 액세스를 관리한다.

[실시예]

다음에는 첨부된 도면들에 의거하여 본 발명에 따른 LCD 제어 장치의 실시예에 대해 상세히 설명한다.

제 5 도에 도시된 바와 같이, 메모리(400)는 3 개의 메모리 블록(410a, 410b, 410c)과, 이들에 각각 대응되는 3 개의 3×1 멀티플렉서(420a, 420b, 420c)로 이루어지는 출력 선택 회로(420)를 구비하고 있다.

제 6 도는, 제 5 도에 도시된 메모리 블록들(410a, 410b, 410c)과 멀티플렉서들(420a, 420b, 420c) 및 메모리 관리 회로(700)의 상세한 구성을 보여주고 있다. 제 6 도에 도시되어 있지 않은 나머지 2 개의 메모리 블록들도, 상기 도면에 도시된 메모리 블록과 마찬가지로, 메모리 관리 회로(700)에 접속된다. 제 6 도를 참조하면, 각 메모리 블록 (410a), (410b), (410c)은 3 개의 라인 메모리(LM0, LM1, LM2)로 구성된다. 각 라인 메모리는 적어도 $1344 \text{ words} \times 8 \text{ bits}$ 의 기억 용량(storage capacity)을 가진다.

제 7 도는 제 5 도에 도시된 출력 선택 회로(420)의 실시예를 보여주어

고 있다. 제 7 도를 참조하면, 3 개의 3×1 멀티플렉서(420a, 420b, 420c) 각각의 세 입력 단자들은 각 메모리 블록 내의 라인 메모리들(LM0, LM1, LM2)의 데이터 출력 포트들(도시되지 않음)에 각각 접속된다. 각 멀티플렉서는 메모리 선택 제어 회로(600)로부터 제공되는 독출 메모리 선택 신호들(R_Sel0, R_Sel1)에 응답하여 각 메모리 블록의 라인 메모리들(LM0, LM1, LM2)로부터 입력되는 데이터들 중 어느 하나의 데이터를 선택적으로 출력한다. 이 멀티플렉서들(420a, 420b, 420c)의 출력들(R_{out}, G_{out}, B_{out})은 LCD 구동 회로로 제공된다.

다시, 제 6 도를 참조하면, 메모리 관리 회로(700)는 기입/독출 제어부(710), 어드레스 발생부(720), 어드레스 선택부(730) 및, 도트 클럭 선택부(740)를 포함한다. 기입/독출 제어부(710)는 메모리 선택 제어 회로(600)로부터 제공되는 기입 메모리 선택 신호(W_Sel)에 응답하여 각 메모리 블록의 라인 메모리들의 기입 및 독출 동작을 제어한다. 어드레스 발생부(720)는 수평 동기 신호(H_{in}) 및 수평 출력 신호(H_{out})에 응답하여 메모리 독출 동작 및 메모리 기입 동작을 위한 기입 및 독출 어드레스들(R_Add, W_Add)을 발생한다. 어드레스 선택부(730)는 기입/독출 제어부(710)에 의해 제어되어 기입 및 독출 어드레스들(W_Add, R_Add)을 선택적으로 각 메모리 블록의 라인 메모리들(LM0, LM1, LM2)로 각각 제공한다. 도트

클럭 선택부(740)는 기입/독출 제어부(710)에 의해 제어되어 기입 및 독출 도트 클럭들(W_Dclk, R_Dclk)을 선택적으로 각 메모리 블록의 라인 메모리들(LM0, LM1, LM2)로 각각 제공한다.

해당 LCD의 해상도보다 낮은 해상도의 모드 신호들이 호스트로부터 본 실시예의 액정 표시 제어 장치로 제공되는 경우에 있어서, 각 메모리 블록 (410a), (410b), (410c)의 라인 메모리들(LM0, LM1, LM2)의 기입 및 독출 동작들은 다음과 같이 수행된다.

각 컬러 신호와 관련하여, 메모리 기입 동작은 수평 동기 신호(H_{in})에 동기되어서 수행되고, 메모리 독출 동작은 수평 출력 신호(H_{out})에 동기되어서 수행된다. 메모리 기입 동작은 각 메모리 블록의 라인 메모리 (LM0)로부터 시작되고, 메모리 독출 동작은 각 메모리 블록의 라인 메모리(LM2)로부터 시작되며, 각 메모리 블록의 기입/독출 동작을 위해 각 메모리 블록의 라인 메모리들은 순환적으로(in rotation) 선택된다. 하지만, 어떤 시점에서, 기입 동작 중에 있는 라인 메모리의 독출 동작이 요구되는 경우에는, 바로 이전에 독출 동작이 완료되었던 라인 메모리의 독출 동작이 한 번 더 수행되도록 한다.

제 8 도는, VGA 모드 신호들이 XGA 모드를 지원하는 본 실시예의 LCD로 제공될 때, 각 메모리 블록에서, 기입 동작이 수행되는 라인 메모리

및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여주고 있다. 제 8 도를 참조하면, 5 라인의 VGA 모드 컬러 신호는 8 라인의 XGA 모드 컬러 신호로 변환된다. 신호 변환이 시작되면, 라인 메모리 (LM0)에서는 기입 동작이, 그리고 라인 메모리 (LM2)에서는 독출 동작이 각각 수행된다. 라인 메모리 (LM2)의 독출 동작 후에는 라인 메모리 (LM0)의 독출 동작이 수행되어야 하지만, 제 8 도에 도시된 바와 같이, 라인 메모리 (LM2)의 독출 동작이 완료되는 시점 (t_1)에서, 라인 메모리 (LM0)는 기입 동작의 수행 중에 있게 된다. 따라서, 라인 메모리 (LM2)의 독출 동작이 완료된 후에 상기 라인 메모리 (LM2)의 독출 동작이 다시 한 번 더 반복된다. 두 번째의 라인 메모리 (LM2)의 독출 동작이 완료되는 시점 (t_2)에서는, 라인 메모리 (LM1)이 기입 동작의 수행 중에 있게 된다. 따라서, 라인 메모리 (LM2)의 두 번째 독출 동작이 완료되면, 세 번째의 독출 동작은 라인 메모리 (LM0)에서 수행된다. 라인 메모리 (LM0)를 통한 세 번째의 독출 동작 후에는 라인 메모리 (LM1)의 기입 동작이 수행될 예정이나, 4 번째의 메모리 독출 동작이 시작되는 시점 (t_3) 이후에서도, 라인 메모리 (LM1)의 기입 동작이 지속되므로 세 번째 독출 동작이 완료된 후에 상기 라인 메모리 (LM0)의 독출 동작이 다시 한 번 더 반복된다. 이후에도, 이 상에서 설명된 바와 같은 기입 및 독출 동작이 하나의 라인 메모리에서 동

시에 발생되지 않도록 수행된다. 이로써, 시점 (t_4)에서는, 5 번의 메모리 기입 동작이 완료되고, 8 번의 메모리 독출 동작이 완료된다. 이로써, 5 라인에 해당하는 쉼터 신호들이 각 메모리 블록으로 입력될 때 해당 메모리 블록으로부터는 8 라인에 해당하는 쉼터 신호들이 출력된다. 이는 메모리 블록의 입력 신호에 대한 출력 신호의 비가 1.6임을 의미한다. 결국, 메모리 블록의 입력 신호인 VGA 모드 신호가 XGA 모드 신호로 변환된다.

제 9 도는, SVGA 모드 신호들이 본 실시예의 액정 표시 장치로 제공될 때, 각 메모리 블록에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여주고 있다. 제 9 도를 참조하면, 5 라인에 해당하는 쉼터 신호들이 각 메모리 블록으로 입력될 때, 위에서 설명한 메모리 기입/독출 방식에 따라서, 해당 메모리 블록으로부터는 8 라인에 해당하는 쉼터 신호들이 출력된다. 이로써, 4 라인의 SVGA 모드 쉼터 신호는 5 라인의 XGA 모드 쉼터 신호로 변환된다.

제 10 도는 수평 출력 발생 회로(300)의 실시예를 보여주고 있다. 제 10 도를 참조하면, 수평 출력 발생 회로(300)는, 다운 카운터(down counter)(301)와, 2 개의 비교기(302, 303), 그리고 JK 플립플롭(304)을 포함한다. 다운 카운터(301)는, 마이크로컴퓨터(100)로부터 제공되는 11 비트의 제 1 데이터 신호($TA<10:0>$)를 수직 동기 신호(V_{sync})에 의해 로드(load)하고,

독출 도트 클럭(R_Dclk)의 라이징 에지(rising edge) 마다 로드된 값을 다운 카운트한다. 상기 다운 카운터(301)는 자신의 출력 값이 '0'으로 되면 자체적으로 마이크로컴퓨터(100)부터의 제 1 데이터 신호(TA<10:0>)를 로드한다. 비교기 (302)는 제 1 데이터 신호(TA<10:0>)와 다운 카운터(301)의 출력이 동일할 때 하이 레벨의 신호를 출력한다. 이때, JK 플립플롭(304)의 부 출력 단자(\overline{Q})로부터는, 제 11 도에 도시된 바와 같이, 로우 레벨의 신호가 출력된다. 비교기 (303)은 다운 카운터(301)의 하위 3 비트(3 low order bits)의 출력이 마이크로컴퓨터(100)로부터 제공되는 제 2 데이터 신호(PW<2:0>)와 동일할 때 하이 레벨의 신호를 출력한다. 이때에는, 제 11 도에 도시된 바와 같이, JK 플립플롭(304)의 출력이 하이 레벨로 반전된다. 이후, 비교기 (303)로부터는, 다운 카운터(301)의 하위 3 비트의 출력이 제 2 데이터 신호(PW<2:0>)와 동일할 때 마다 하이 레벨의 신호가 반복적으로 출력되지만, 비교기 (302)가 제 1 데이터 신호(TA<10:0>)가 다운 카운터(301)로 로드될 때에만 하이 레벨의 신호를 출력하므로, 제 11 도에 도시된 바와 같이, JK 플립플롭(304)의 출력은 로우 레벨로 유지된다.

제 12 도는 제 5 도에 도시된 플래그 회로(500)의 실시예를 보여주고 있다. 제 12 도를 참조하면, 기입 동작을 위한 플래그들(Fa, Fb, Fc)을 발생하는 기입 플래그 발생 회로(510)와 독출 동작을 위한 플래그들(Fd, Fe,

Ff)을 발생 하는 독출 플래그 발생 회로(520)는 동일한 구성을 가진다. 즉, 플래그 발생 회로들(510, 520) 각각은, 앤드 게이트와 3 개의 D 플립플롭으로 구성되는 로테이트 시프트 레지스터(rotate shifter regisger)를 포함한다. 다만, 기입 플래그 발생 회로(510)의 앤드 게이트(511)의 한 입력 단자로 수평 동기 신호(H_{in})가 제공되고, 독출 플래그 발생 회로(520)의 앤드 게이트(521)의 한 입력 단자로 수평 출력 신호(H_{out})가 제공된다. 각 플래그 발생 회로 (510), (520)으로는 액티브 하이(active high)의 인에이블 신호(Enable)와 액티브 로우(active low)의 리셋 신호(Reset)가 마이크로컴퓨터(100)로부터 각각 입력된다. 플립플롭 (512)와 (522)의 세트 단자와, 나머지 플립플롭 (513), (514), (523), (524)의 리셋 단자에는 상기 리셋 신호(Reset)가 각각 제공된다. 따라서, 상기 리셋 신호(Reset)가 로우 레벨일 때, 플립플롭 (512)와 (522)는 각각 세트 상태로 되고, 나머지 플립플롭들(513, 514, 523, 524)은 각각 리셋 상태로 된다. 이때, 플래그 (Fa)와 (Ff)는 하이 레벨로 되고, 나머지 플래그들(Fb, Fc, Fd, Fe)은 로우 레벨로 된다. 인에이블 신호(Enable)가 하이 레벨이고 상기 리셋 신호(Reset)가 하이 레벨일 때, 수평 동기 신호(H_{in}) 및 수평 출력 신호(H_{out})의 리딩 에지에서 플래그 발생 회로들(510, 520)의 출력들은 각각 로테이트 시프트된다. 이로써, 각 메모리 블록에서, 수평 동기 신호(H_{in}) 및 수평 출력 신호(H_{out})에 각

각 동기되어서, 기입용 라인 메모리와 독출용 라인 메모리가 순환적으로 각각 지정된다.

제 13 도는 제 5 도에 도시된 메모리 선택 제어 회로(600)의 실시예를 보여주고 있다. 제 13 도를 참조하면, 메모리 선택 제어 회로(600)는, 선택 오류 감시부(selection error supervisor)(610)와, 순환 오류 감시부(cyclic error supervisor)(620) 및, 제어 신호 출력부(630)를 포함한다.

선택 오류 감시부(610)는, 수평 출력 신호(H_{out})를 반전시키는 인버터(611)와, 이 인버터(611)의 출력에 동기되어서 독출 플래그들(Ff , Fd , Fe)을 받아들여서 이들을 각각 래치하는 D 플립플롭들(612, 613, 614)과, 상기 독출 플래그들(Ff , Fd , Fe)과 기입 플래그들(Fa , Fb , Fc)이 동일한 지를 비교하는 앤드 게이트들(615, 616, 617)과 노어 게이트(618)로 구성된다. 제 13 도에 도시된 바와 같이, 기입 플래그 신호 (Fc)와 (Fb)는 기입 메모리 선택 신호 (W_Sel0)와 (W_Sel1)으로서, 그리고 독출 플래그 신호 (Ff)와 (Fe)는 독출 메모리 선택 신호 (R_Sel0)와 (R_Sel1)으로서 각각 사용된다. 이 감시부(610)로부터 출력되는 기입 메모리 선택 신호들(W_Sel0 , W_Sel1)과 독출 메모리 선택 신호들(R_Sel0 , R_Sel1)은 메모리 관리 회로(700)와 출력 선택 회로(420)로 각각 제공된다. 다음의 <표 3> 및 <표 4>는, 기입 메모리 선택 신호들(W_Sel0 , W_Sel1)과 독출 메모리 선택 신호들(R_Sel0 ,

R_Sel1)의 논리 레벨에 따라서, 각 메모리 블록에서, 기입용 메모리 및 독출용 메모리로서 각각 선택되는 라인 메모리들을 보여주고 있다.

<표3>

W_Sel1	W_Sel0	기입용 라인 메모리
L	L	LM0
H	L	LM1
L	H	LM2

<표4>

R_Sel1	R_Sel0	독출용 라인 메모리
L	L	LM0
H	L	LM1
L	H	LM2

한편, 선택 오류 감시부(610)는, 현재 기입 동작 중에 있는 라인 메모리와 관련하여, 상기 메모리의 기입 동작의 완료 전에 그 메모리가 다음의 독출 동작을 위해 선택될 것인 지를 예측하고, 다음의 독출 동작을 위해 상기 메모리가 선택될 것으로 판단되면 독출 플래그 발생 회로(520)를 디스플레이를 위한 독출 플래그 제어 신호(RFC1)를 발생한다. 제 14 도를 참조하면, 기입용 라인 메모리의 선택은 수평 동기 신호(H_{in})의 라이징 에지에서 결정되고, 다음의 독출 동작용 라인 메모리의 선택은 수평 출력 신호

(H_{out})의 폴링 에지(falling edge)에서 결정된다. 예를 들어, 시간 구간 $t1 < t < t4$ 동안의 기입 동작을 위한 라인 메모리는 시점 (t1)에서 결정되고, 시간 구간 $t3 < t < t5$ 동안의 독출 동작을 위한 라인 메모리는 시점 (t2)에서 결정된다. 시점 (t2)에서, 다음의 독출 동작을 위한 라인 메모리가 현재 기입 동작이 수행될 라인 메모리와 일치하는 경우, 선택 오류 감시부(610)는로우 레벨의 독출 플래그 제어 신호(RFC1)를 발생한다. 이로써, 독출 플래그 발생 회로(520)가 디스에이블되어 그것의 출력들이 로테이트 시프트되지 않는다. 그 결과, 현재 독출 동작이 수행 중인 라인 메모리가 다음의 독출 동작 위해서 한 번 더 사용된다. 반면, 시점 (t2)에서, 다음의 독출 동작을 위한 라인 메모리가 현재 기입 동작이 수행될 라인 메모리와 일치하지 않는 경우, 선택 오류 감시부(610)는 하이 레벨의 독출 플래그 제어 신호(RFC1)를 발생한다. 이로써, 독출 플래그 발생 회로(520)가 인에이블되며, 상기 회로(520)의 출력들이 로테이트 시프트된다. 그 결과, 현재 독출 동작이 수행 중인 라인 메모리 다음 순서의 라인 메모리가 다음의 독출 동작 위해서 사용된다.

제 13 도에 도시된 바와 같이, 순환 오류 감시부(620)는, D 플립플롭들(621, 622, 623)로 이루어지는 카운터 회로와, 앤드 게이트(624)와 오어 게이트들(625, 626)로 이루어지는 카운팅 범위 제어 회로(counting range

control circuit)와, 앤드 게이트(627)로 이루어지는 리셋 회로, 노어 게이트(628)로 이루어지는 독출 플래그 제어 회로로 구성된다. 카운팅 범위 제어 회로(624, 625, 626)는 마이크로컴퓨터(100)로부터 제공되는 제 1 모드 표시 신호(MD1)에 응답하여 카운터 회로(621, 622, 623)의 출력 범위를 제어한다. 리셋 회로(627)는 마이크로컴퓨터(100)로부터 각각 제공되는 리셋 신호(Reset)와 제 2 모드 표시 신호(MD2)를 입력받아서 XGA 모드 신호가 이 실시예의 LCD로 입력될 때 상기 카운터 회로(621, 622, 623)를 리셋시킨다. 독출 플래그 제어 회로(628)는 독출 플래그 발생 회로(520)를 인에이블시키기 위한 독출 플래그 제어 신호(RFC2)를 발생한다. 이 실시예의 LCD로 VGA 모드 신호가 입력되는 경우 상기 카운터 회로(621, 622, 623)의 출력이 '5'일 때 그리고 SVGA 모드 신호가 입력되는 경우에는 상기 카운터 회로(621, 622, 623)의 출력이 '8'일 때, 상기 독출 플래그 인에이블 제어 회로(628)는 독출 플래그 발생 회로(520)를 인에이블시키기 위한 독출 플래그 제어 신호(RFC2)를 발생한다. 이상과 같이, 순환 오류 감시부(620)가 VGA 모드 신호가 입력되는 경우 상기 카운터 회로(621, 622, 623)의 출력이 '5'일 때마다 그리고 SVGA 모드 신호가 입력되는 경우에는 상기 카운터 회로(621, 622, 623)의 출력이 '8'일 때마다 강제적으로 독출 플래그 발생 회로(520)를 인에이블시키는 이유는 그때마다 수평 동기 신호(H_{in})와 수

평 출력 신호(H_{out})가 일치하게 됨으로써 본 실시예의 장치가 오동작할 가능성이 있기 때문이다.

제어 신호 출력부(630)는, 선택 오류 감시부(610)의 출력과 순환 오류 감시부(620)의 출력을 각각 받아들이는 2 개의 입력 단자들과 독출 플래그 발생 회로(520)의 인에이블 단자에 접속되는 출력 단자를 가지는 오어 게이트(631)로 이루어진다. 상기 제어 신호 출력부(630)의 출력 신호가 로우 레벨일 때에는 독출 플래그 발생 회로(520)가 디스에이블된다. 따라서, 이때에는 수평 출력 신호(H_{out})가 입력되더라도 독출 플래그 발생 회로(520)의 출력들의 로테이트 시프트가 이루어지지 않는다. 상기 제어 신호 출력부(630)의 출력 신호가 하이 레벨일 때에는 독출 플래그 발생 회로(520)가 인에이블된다. 따라서, 이때에는 수평 출력 신호(H_{out})가 입력될 때 독출 플래그 발생 회로(520)의 출력들의 로테이트 시프트가 이루어진다.

제 14 도는 제 6 도에 도시된 메모리 관리 회로(700)의 바람직한 실시예를 보여주고 있다. 제 14 도를 참조하면, 기입/독출 제어부(710)는 인버터들(711, 712, 714, 716)과 앤드 게이트들(713, 715, 717)로 구성된다. <표 3>에 나타낸 바와 같이, 각 메모리 블록에서, 먼저, $W_Sel0 = 'L'$, $W_Sel1 = 'L'$ 이면, 라인 메모리 (LM0)가 기입 인에이블 상태로되고 나머지 라인 메모리들(LM1, LM2)은 독출 인에이블 상태로 된다. 다음, $W_Sel0 = 'L'$,

W_Sel0 = 'H'이면, 라인 메모리 (LM1)가 기입 인에이블 상태로 되고 나머지 라인 메모리들(LM0, LM2)은 독출 인에이블 상태로 된다. 마지막으로, W_Sel0 = 'H', W_Sel0 = 'L'이면, 라인 메모리 (LM2)가 기입 인에이블 상태로 되고 나머지 라인 메모리들(LM0, LM1)은 독출 인에이블 상태로 된다.

어드레스 발생부(720)는 수평 동기 신호(H_{in})에 의해 초기화 되고, 기입 도트 클럭(W_Dclk)에 동기되어서 기입 동작용 어드레스(W_Add)를 발생 하는 기입 어드레스 발생부(721)와, 수평 출력 신호(H_{out})에 의해 초기화 되고 독출 도트 클럭(R_Dclk)에 동기되어서 독출 동작용 어드레스(R_Add)를 발생 하는 독출 어드레스 발생부(722)로 이루어진다. 상기 기입 어드레스 발생부(721)와 독출 어드레스 발생부(722)는 업 카운터들로 각각 구성된다.

어드레스 선택부(730)는 3 개의 2×1 멀티플렉서(731, 732, 733)로 구성 된다. 각 멀티플렉서의 두 입력 단자들에는 기입 및 독출 어드레스들(W_Add, R_Add)이 각각 제공된다. 상기 멀티플렉서들(731, 732, 733)의 출력은 각 메모리 블록의 라인 메모리들(LM0, LM1, LM3)로 각각 제공된다. 상기 멀티플렉서들(731, 732, 733)의 선택 제어 단자들에는 기입/독출 제어부(710) 내 앤드 게이트들(713, 715, 717)의 출력들이 각각 제공된다. 기입 및 독출 어드레스들(W_Add, R_Add)은 기입/독출 제어부(710)에 의해 선택적으로 각 메모리 블록의 라인 메모리들(LM0, LM1, LM2)로 각각 제

공된다.

도트 클럭 선택부(740)도 3 개의 2×1 멀티플렉서(741, 742, 743)로 구성된다. 각 멀티플렉서의 두 입력 단자들에는 기입 및 독출 도트 클럭들(W_Dclk, R_Dclk)이 각각 제공된다. 상기 멀티플렉서들(741, 742, 743)의 출력은 각 메모리 블록의 라인 메모리들(LM0, LM1, LM3)로 각각 제공된다. 상기 멀티플렉서들(741, 742, 743)의 선택 제어 단자들에는 기입/독출 제어부(710) 내 앤드 게이트들(713, 715, 717)의 출력들이 각각 제공된다. 기입 및 독출 도트 클럭들(W_Dclk, R_Dclk)은 기입/독출 제어부(710)에 의해 선택적으로 각 메모리 블록의 라인 메모리들(LM0, LM1, LM2)로 각각 제공된다.

이상에서는, 8 비트의 컬러 신호의 경우를 예로서 들어 본 발명이 설명되었지만, 본 발명은 이에 한정되지 않는다. 16 비트 또는 그 이상의 컬러 신호에 대해서도 본 발명의 사상은 그대로 적용될 수 있다는 것을 이 기술 분야에 통상적인 지식을 가진 자들은 잘 이해 할 수 있을 것이다.

[발명의 효과]

본 발명에 따르면, LCD가 지원하는 모드의 해상도보다 상대적으로 낮은 해상도의 모드 신호가 LCD로 입력되더라도 LCD의 전체 화면에서 영상이 표시될 수 있다.

4. 특허 청구의 범위

1. 호스트로부터 제공되는 수평 동기 신호(H_{in})와 수직 동기 신호(V_{sync})를 입력받아 호스트 지원 표시 모드를 판별하고, 판별된 모드에 대응하는 주파수를 갖는 수평 출력 신호(H_{out})와 도트 클럭 신호(R_Dclk)를 출력하며, 상기 호스트로부터 제공되는 아날로그 컬러 신호들을 해당 LCD 패널의 표시 모드에 적합한 디지털 컬러 신호들(R_{in} , G_{in} , B_{in})로 변환하는 LCD 제어 수단과;

상기 수평 출력 신호 및 상기 도트 클럭 신호를 입력하여 상기 LCD 패널을 구동하는 LCD 구동 수단을 포함하여; 상기 호스트 지원 표시 모드의 신호들을 해당 LCD 패널의 표시 모드의 신호들로 변환하는 액정 표시 장치.

2. 제 1 항에 있어서,

상기 LCD 제어 수단은;

상기 수평 동기 신호(H_{in}) 및 상기 수직 동기 신호(V_{sync})를 입력받아 상기 호스트 지원 표시 모드를 판별하고, 상기 호스트 지원 표시 모드를 나타내는 모드 표시 신호와 판별된 모드에 대응되는 상기 수평 출

력 신호의 파형을 나타내는 데이터 신호를 출력하는 표시 모드 판별 수단(100)과;

상기 디지털 컬러 신호들(R_{in} , G_{in} , B_{in})을 저장하기 위한 메모리 수단(400)과;

상기 수평 동기 신호를 입력받아 상기 메모리 수단의 기입 동작을 위한 기입 도트 클럭 신호(W_Dclk)와 상기 메모리 수단의 독출 동작을 위한 독출 도트 클럭 신호(R_Dclk)를 발생하는 도트 클럭 발생 수단(200)과;

상기 수직 동기 신호에 응답하여 상기 데이터 신호를 입력받고, 상기 독출 도트 클럭 신호에 동기되어서 상기 수평 출력 신호를 발생하는 수평 출력 발생 수단(300)과;

상기 수평 동기 신호 및 상기 기입 도트 클럭 신호를 입력받아 상기 메모리 수단의 기입 동작을 제어하고, 상기 수평 출력 신호 및 상기 독출 도트 클럭 신호를 입력받아 상기 메모리 수단의 독출 동작을 제어하는 메모리 제어 수단(500, 600, 700)을 포함하는 액정 표시 장치.

3. 제 2 항에 있어서,

상기 메모리 수단은;

상기 디지털 컬러 신호들을 각각 저장하기 위한 제 1 내지 제 3 메모리

리 블록들(410a, 410b, 410c)과,

상기 메모리 제어 수단에 의해 제어되어 상기 각 메모리 블록에 기입
된 상기 컬러 신호들을 선택적으로 출력하는 출력 선택 수단(420)을 포
함하는 액정 표시 장치.

4. 제 2 항에 있어서,

상기 메모리 블록들 각각은,

적어도 3 개의 라인 메모리들을 포함하는 액정 표시 장치.

5. 제 4 항에 있어서,

상기 메모리 제어 수단은:

상기 각 메모리 블록의 상기 라인 메모리들 중에서, 상기 기입 동작과
상기 독출 동작이 수행될 라인 메모리들을 소정의 순서대로 각각 표시
하는 복수의 플래그를 발생하는 플래그 수단(500)과;

상기 플래그 수단으로부터 제공되는 상기 복수의 플래그에 응답하여,
상기 기입 동작과 상기 독출 동작이 수행될 라인 메모리들을 각각 선
택하는 제 1 및 제 2 메모리 선택 신호들(W_Sel, R_Sel)을 발생하되,
하나의 라인 메모리가 상기 기입 동작과 상기 독출 동작을 위해 동시
에 선택되는 것을 막는 메모리 선택 제어 수단(600)과;

상기 수평 동기 신호, 상기 수평 출력 신호, 상기 기입 도트 클럭 신호

및 상기 독출 도트 클럭 신호를 입력받고, 상기 메모리 선택 제어 수단에 의해 제어되어 상기 메모리 수단의 기입 및 독출 동작들을 위한 메모리 액세스를 관리하는 메모리 관리 수단(700)을 포함하는 액정 표시 장치.

6. 제 2 항에 있어서,

상기 표시 모드 관별 수단으로부터 출력되는 상기 데이터 신호는, 상기 수평 출력 신호의 주기를 표시하는 제 1 데이터 신호(TA)와 상기 수평 출력 신호의 펄스 폭을 표시하는 제 2 데이터 신호(PW)를 포함하는 액정 표시 장치.

7. 제 6 항에 있어서,

상기 수평 출력 발생 수단은:

상기 수직 동기 신호(V_{sync})에 응답하여 상기 제 1 데이터 신호(TA)를 로드하고, 상기 독출 도트 클럭 신호(R_Dclk)의 리딩 에지 마다 로드된 값을 다운 카운트하는 카운터(301)와;

상기 제 1 데이터 신호(TA)와 상기 카운터(301)의 출력이 동일할 때 소정 레벨의 신호를 출력하는 제 1 비교기와;

상기 제 1 데이터 신호(TA)의 하위 n 비트 신호와 상기 제 2 데이터 신호(PW)가 동일할 때 상기 소정 레벨의 신호를 출력하는 제 2 비교

기 및;

상기 제 1 비교기의 출력 및 상기 제 2 비교기의 출력을 각각 J 입력 단자 및 K 입력 단자로 받아들이는 JK 플립플롭(304)을 포함하는 액정 표시 장치.

8. 제 5 항에 있어서,

상기 플래그 수단은;

상기 수평 동기 신호(H_{in})에 동기되어서 상기 기입 동작을 위한 기입 플래그들(F_a , F_b , F_c)을 발생하는 기입 플래그 발생 수단(510)과,

상기 수평 출력 신호(H_{out})에 동기되어서 상기 독출 동작을 위한 독출 플래그들(F_d , F_e , F_f)을 발생하는 독출 플래그 발생 수단(520)을 포함하는 것을 특징으로하는 액정 표시 장치.

9. 제 8 항에 있어서,

상기 각 플래그 발생 수단은 로테이트 시프트 레지스터를 포함하는 액정 표시 장치.

10. 제 5 항에 있어서,

상기 메모리 선택 제어 수단은;

상기 플래그 수단으로부터 제공되는 정보에 의해 현재 기입 동작 중에 있는 라인 메모리의 기입 동작의 완료 전에 상기 라인 메모리가 다음

의 독출 동작을 위해 선택될 것인 지를 예측하고, 다음의 독출 동작을 위해 상기 라인 메모리가 선택될 것으로 판단될 때 상기 독출 플래그 발생 수단(520)을 디스에이블시키기 위한 독출 플래그 제어 신호(RFC1)를 발생하는 선택 오류 감시 수단(610)을 포함하는 액정 표시 장치.

11. 제 10 항에 있어서,

상기 메모리 선택 제어 수단은;

상기 수평 동기 신호(H_{in})와 상기 수평 출력 신호(H_{out})의 타이밍이 일치할 때 상기 독출 플래그 발생 수단(520)을 인에이블시키기 위한 다른 하나의 독출 플래그 제어 신호(RFC2)를 발생하는 순환 오류 감시 수단(620)과,

상기 독출 플래그 제어 신호들(RFC1, RFC2) 중 어느 하나를 상기 독출 플래그 발생 수단(520)으로 선택적으로 제공하는 제어 신호 출력 수단(630)을 부가적으로 포함하는 액정 표시 장치.

12. 제 10 항에 있어서,

상기 선택 오류 감시 수단(610)은;

상기 수평 출력 신호(H_{out})에 동기되어서 상기 독출 플래그들(Ff , Fd , Fe)을 래치하는 수단(612, 613, 614)과,

상기 독출 플래그들(Ff, Fd, Fe)과 상기 기입 플래그들(Fa, Fb, Fc)이 동일한 지를 비교하는 수단(615, 616, 617, 618)을 포함하는 액정 표시 장치.

13. 제 11 항에 있어서,

상기 순환 오류 감시 수단(620)은;

카운터(621, 622, 623)와,

상기 마이크로컴퓨터(100)로부터 제공되는 상기 모드 표시 신호에 응답

하여 상기 카운터의 출력 범위를 제어하는 수단(624, 625, 626)과,

상기 마이크로컴퓨터(100)로부터 각각 제공되는 리셋 신호(Reset)와 상

기 모드 표시 신호에 응답하여 상기 카운터를 리셋시키는 수단(627)

및,

상기 카운터의 출력들을 받아들여 상기 독출 플래그 발생 수단(520)을

인에이블시키기 위한 상기 다른 하나의 독출 플래그 제어 신호(RFC2)

를 발생하는 수단(628)을 포함하는 액정 표시 장치.

14. 제 11 항에 있어서,

상기 제어 신호 출력 수단(630)은,

상기 독출 플래그 제어 신호들(RFC1, RFC2)을 각각 받아들이는 입력

단자들과 상기 독출 플래그 발생 수단의 인에이블 단자에 접속되는 출

력 단자를 가지는 오어 게이트(631)를 포함하는 액정 표시 장치.

15. 제 5 항 또는 제 11 항에 있어서,

상기 메모리 관리 수단(700)은: ...

메모리 선택 제어 수단(600)로부터 제공되는 상기 제 1 메모리 선택 신호에 응답하여 각 메모리 블록의 라인 메모리들의 기입 및 독출 동작을 제어하는 기입/독출 제어 수단(710)과;

상기 수평 동기 신호(H_{in}), 상기 수평 출력 신호(H_{out}), 상기 기입 독출 도트 클럭 신호(W_Dclk) 및 상기 독출 도트 클럭 신호(R_Dclk)를 입력받아 메모리 독출 동작 및 메모리 기입 동작을 위한 기입 및 독출 어드레스들(W_Add, R_Add)을 발생하는 어드레스 발생 수단(720)과;

상기 기입/독출 제어 수단에 의해 제어되어 상기 기입 및 독출 어드레스들(W_Add, R_Add)을 선택적으로 상기 각 메모리 블록의 상기 라인 메모리들(LM0, LM1, LM2)로 각각 제공하는 어드레스 선택 수단(730) 및;

상기 기입/독출 제어 수단에 의해 제어되어 상기 기입 및 독출 도트 클럭 신호들(W_Dclk, R_Dclk)을 선택적으로 상기 각 메모리 블록의 상기 라인 메모리들(LM0, LM1, LM2)로 각각 제공하는 도트 클럭 선택 수단(740)을 포함하는 액정 표시 장치.

16. 제 5 항 또는 제 11 항에 있어서,

상기 출력 선택 수단(420)은 멀티플렉서를 포함하는 액정 표시 장치.

17. 제 1 항에 있어서,

상기 LCD 패널은 XGA 모드를 지원하고, 상기 LCD 제어 수단은
VGA 모드의 신호들을 입력받아 상기 XGA 모드의 신호들을 상기
LCD 구동 수단으로 제공하는 액정 표시 장치.

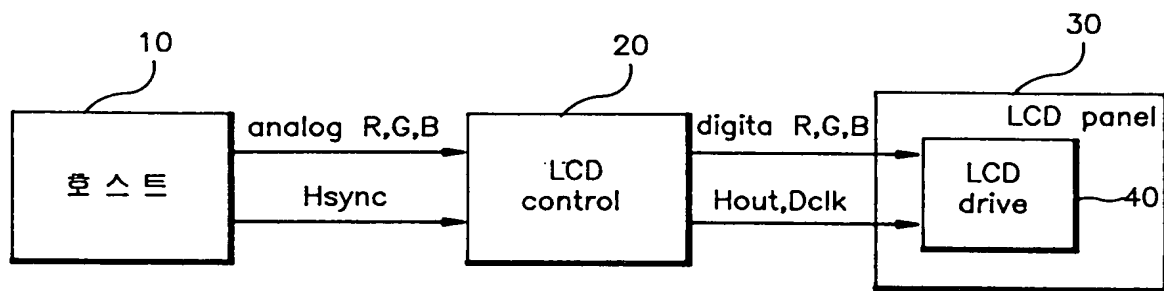
18. 제 1 항에 있어서,

상기 LCD 패널은 XGA 모드를 지원하고, 상기 LCD 제어 수단은
SVGA 모드의 신호들을 입력받아 상기 XGA 모드의 신호들을 상기
LCD 구동 수단으로 제공하는 액정 표시 장치.

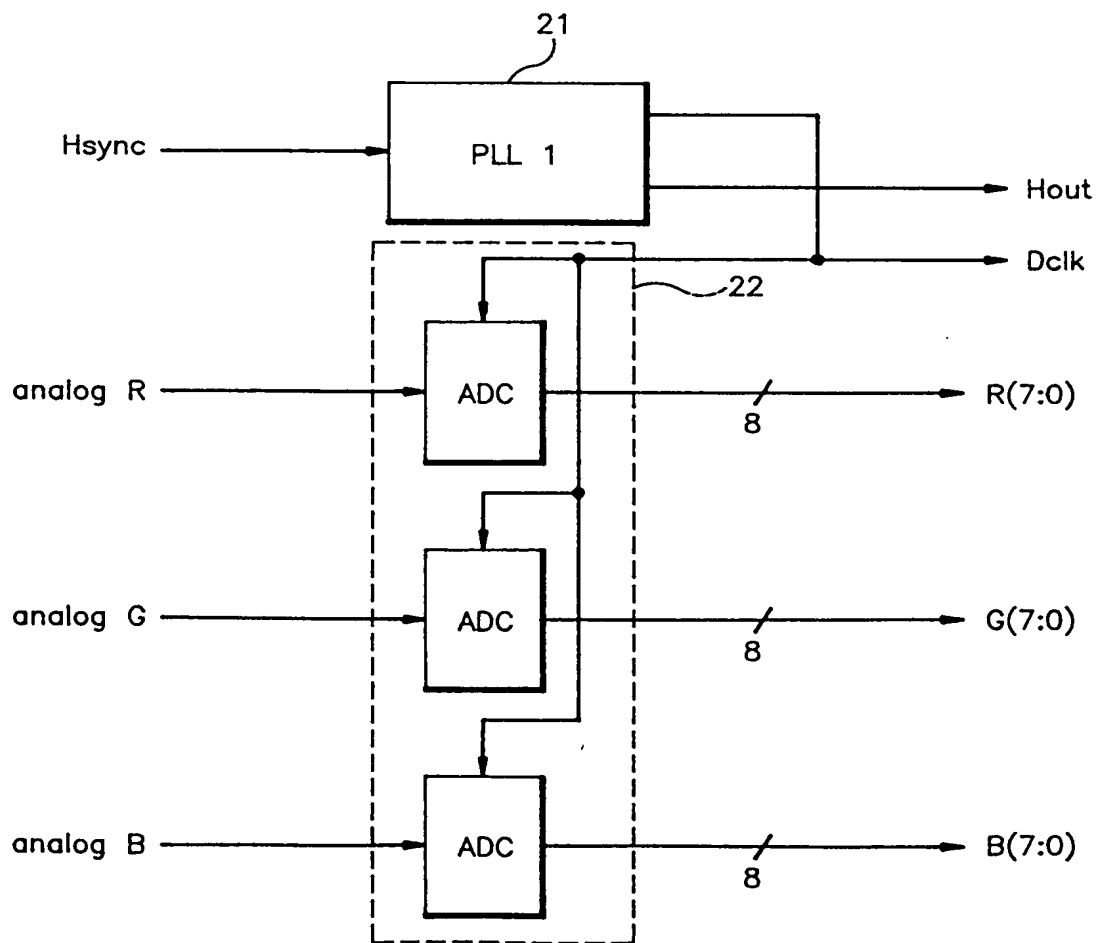
요 약 서

표시 모드 변환 기능을 가지는 LCD는, 마이크로컴퓨터와, 각각은 3 개의 라인 메모리들을 가지는 메모리 블록들, 메모리 기입 동작을 위한 도트 클럭 신호(W_Dclk)와 메모리 독출 동작을 위한 도트 클럭 신호(R_Dclk)를 발생하는 도트 클럭 발생 회로, 수평 출력 신호(H_{out})를 발생하는 수평 출력 발생 회로, 플래그 회로, 메모리 제어 회로를 포함하며, 저 해상도 VGA, SVGA 모드용 컬러, 수평 및 수직 동기 신호들이 XGA 모드 LCD로 제공 될 때 도트 클럭의 주파수와 수평 동기 신호의 주파수를 증가시킴으로써, 영상이 화면 전체에서 표시되도록 한다.

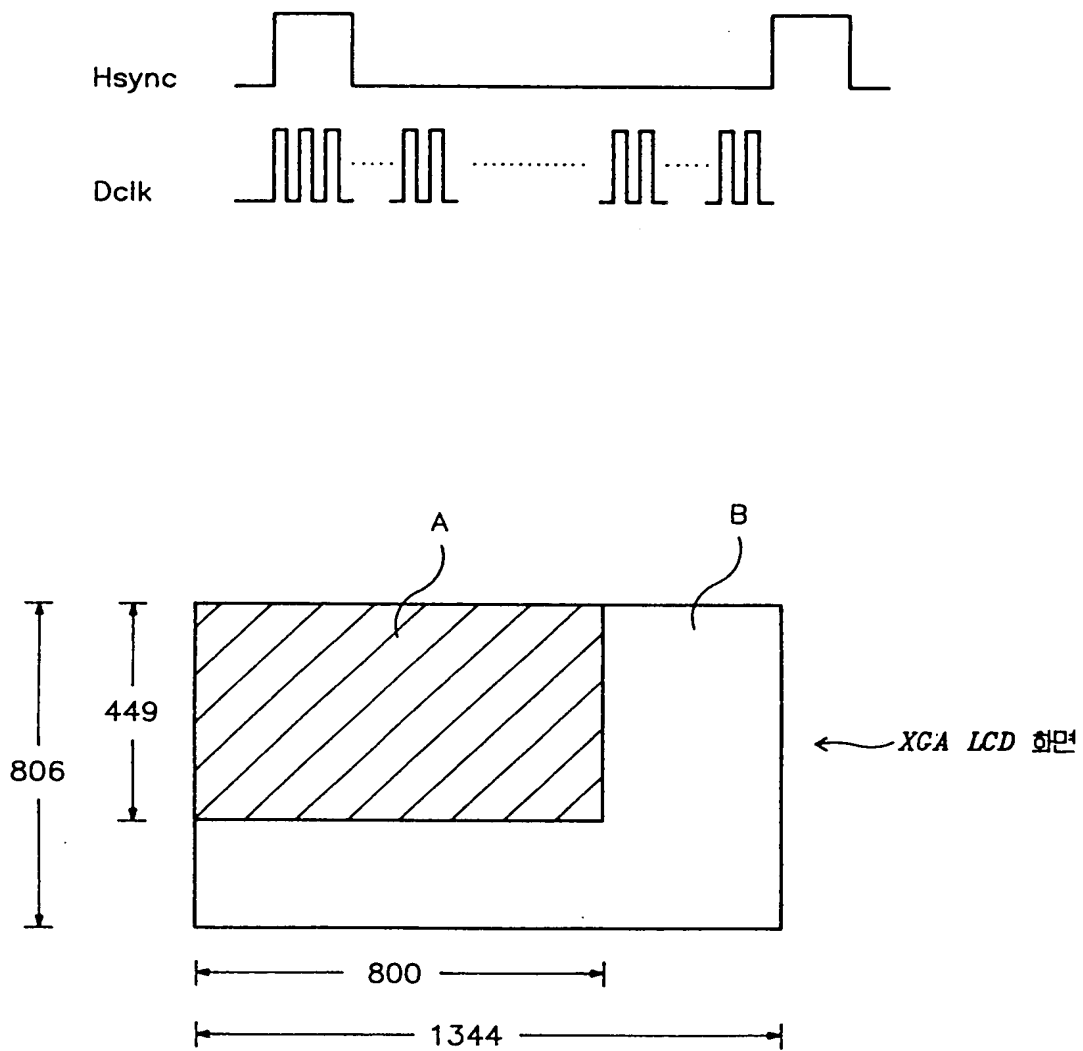
제 1 도



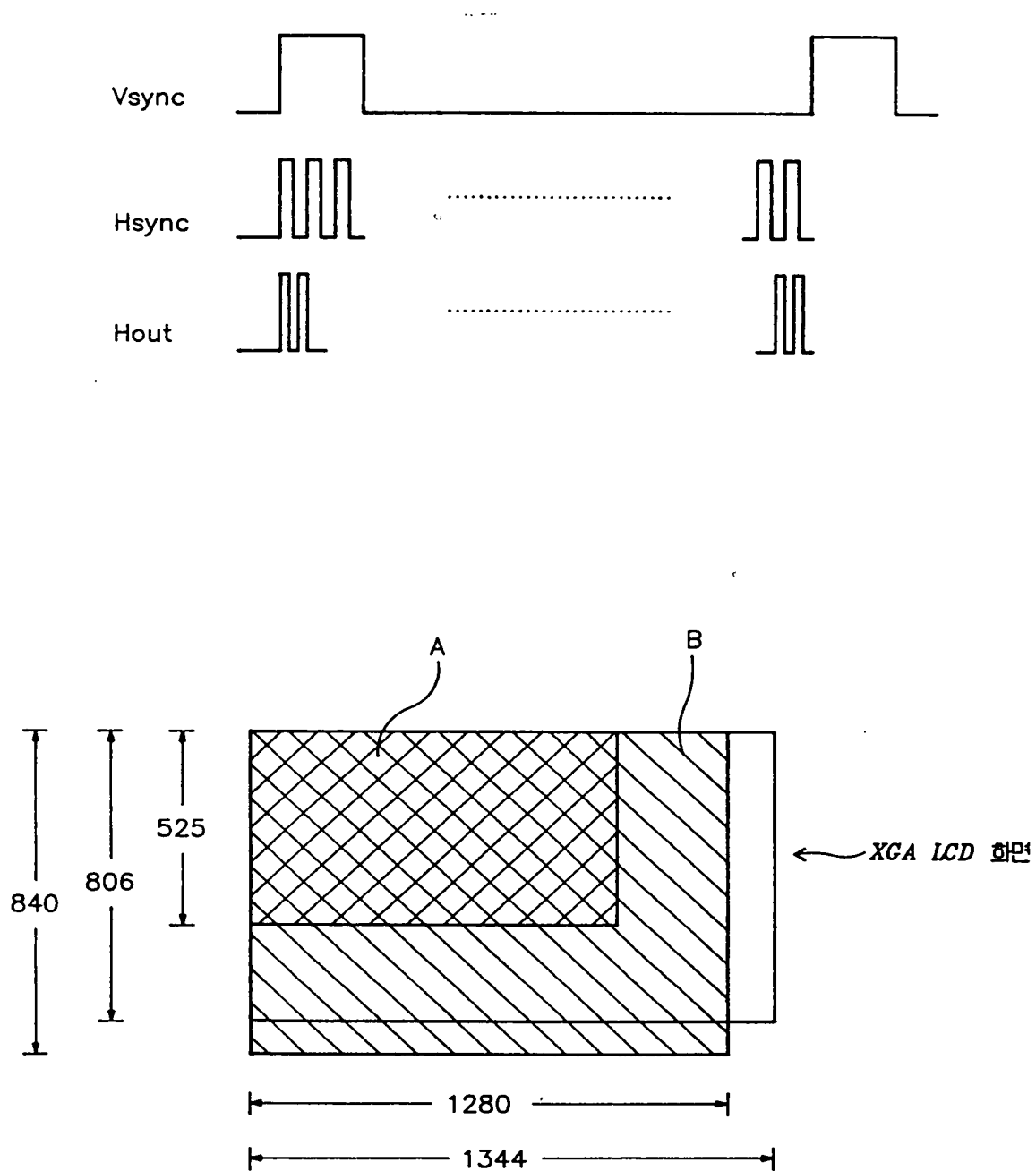
제 2 도



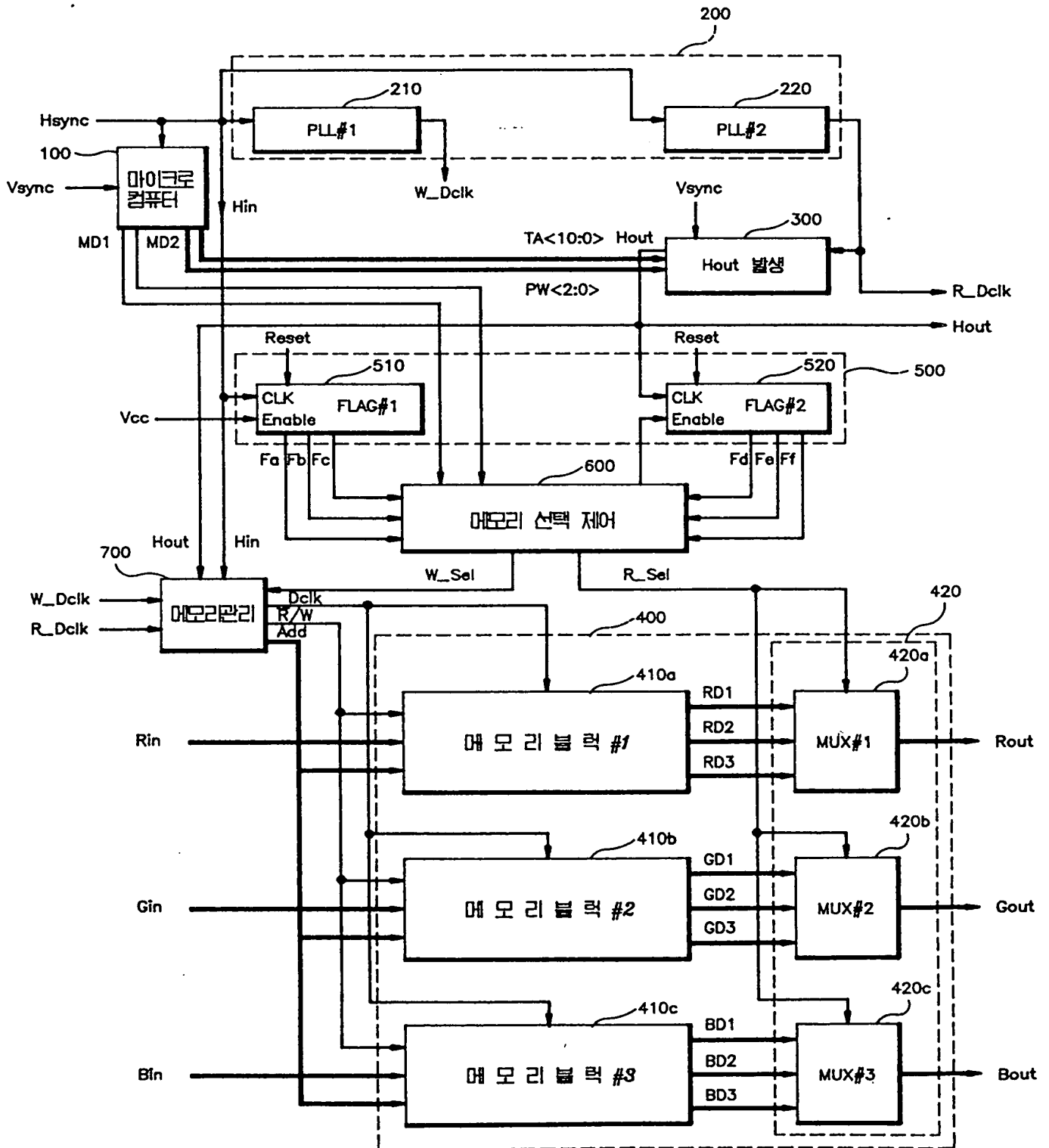
제 3 도



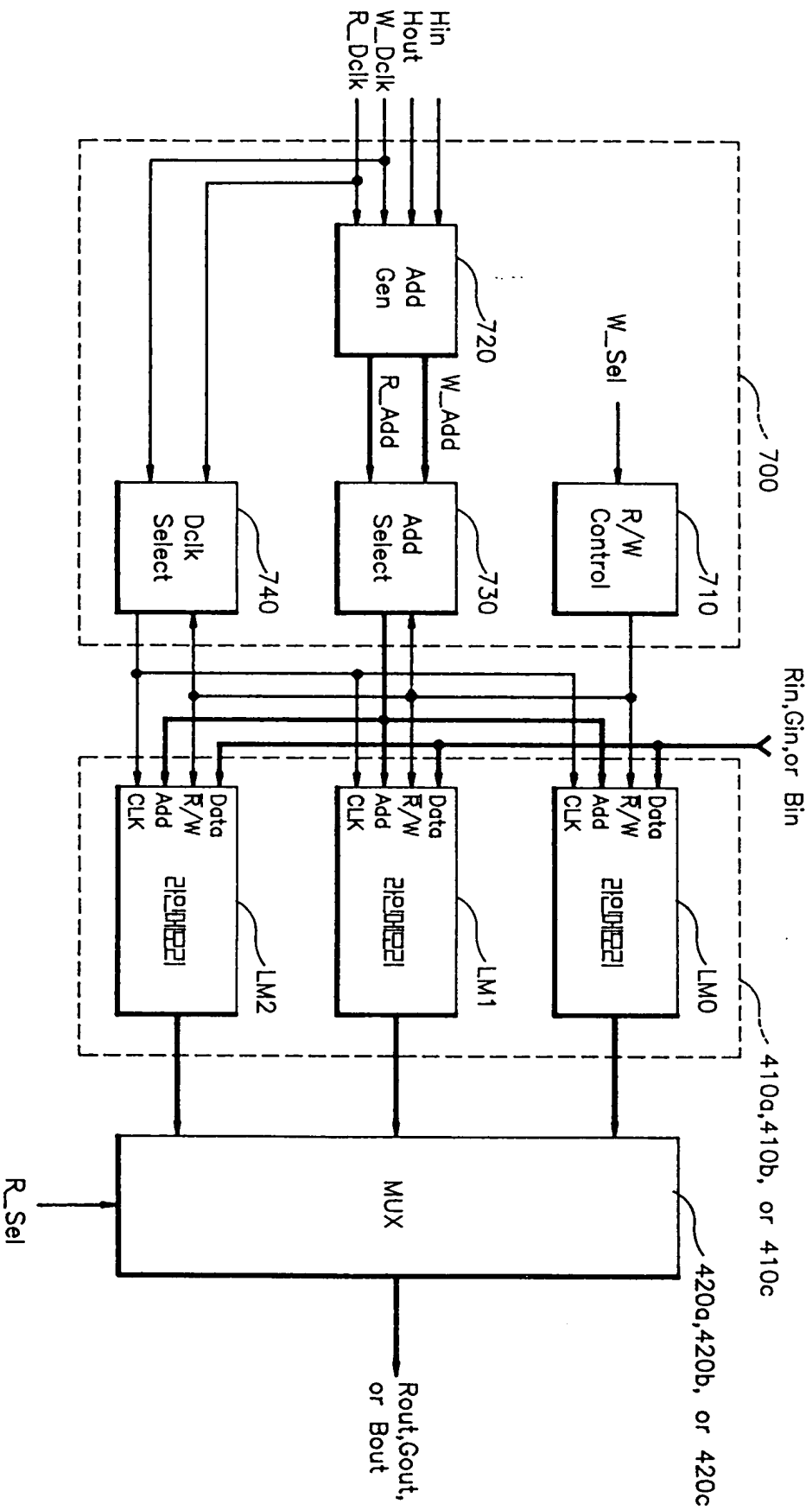
제 4 도



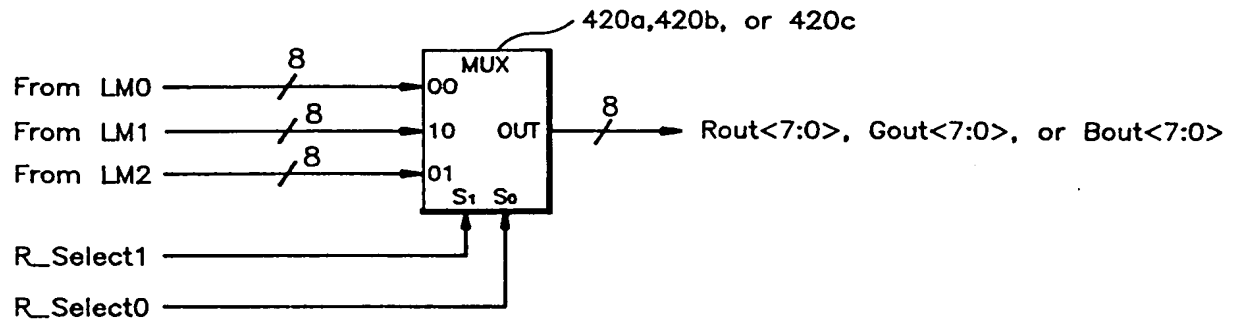
제 5 도



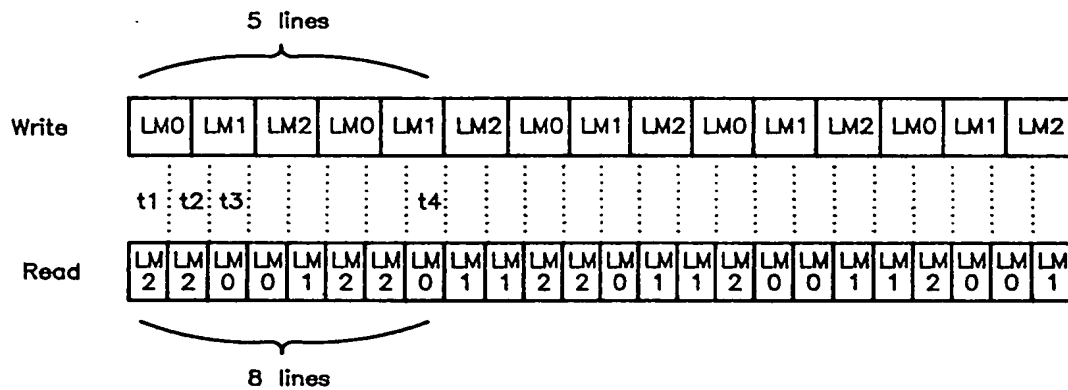
제 6 도



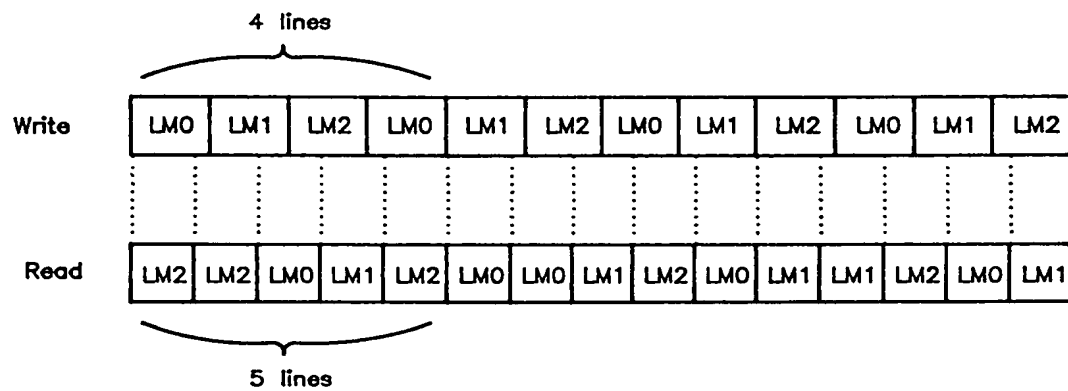
제 7 도



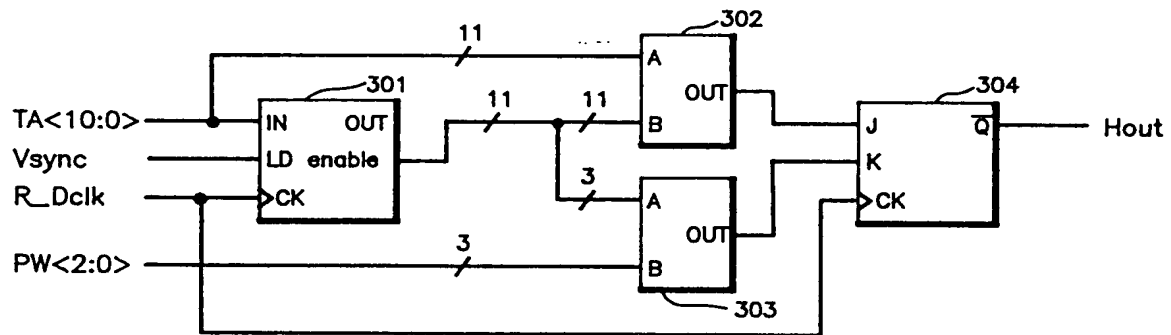
제 8 도



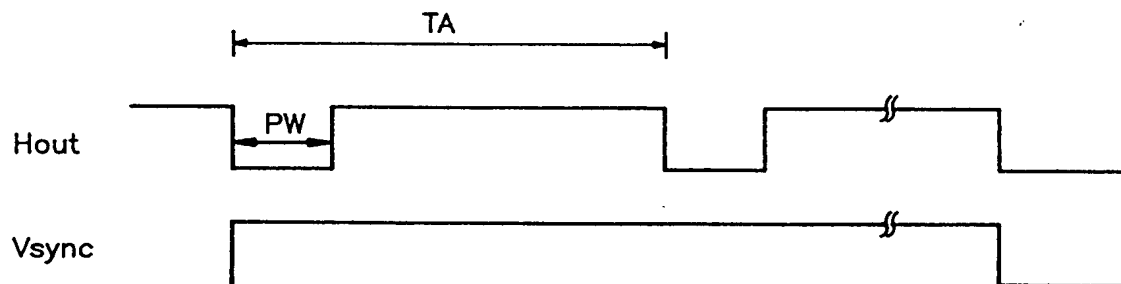
제 9 도



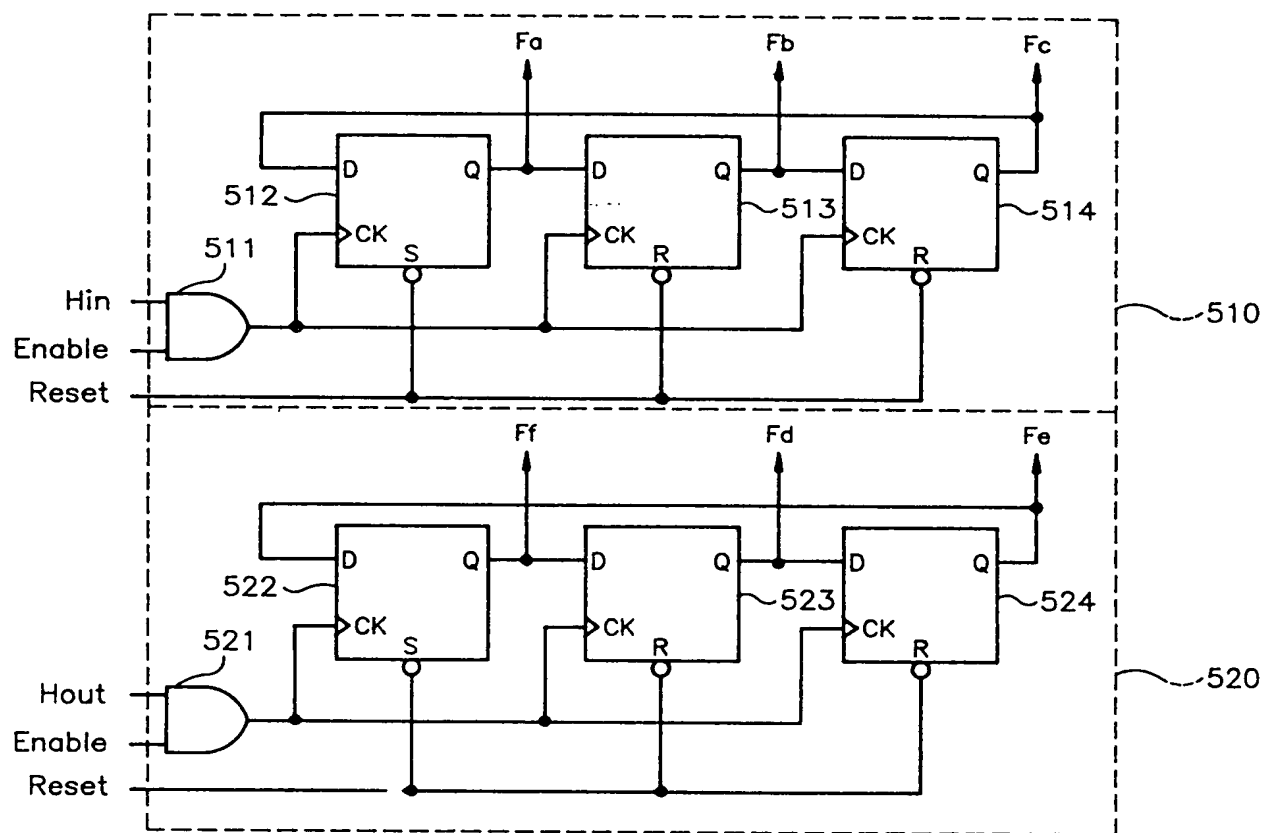
제 10 도



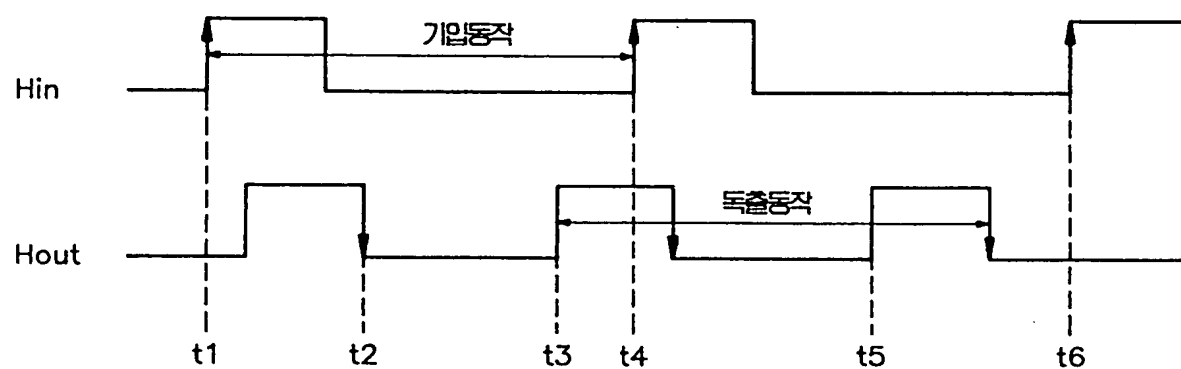
제 11 도



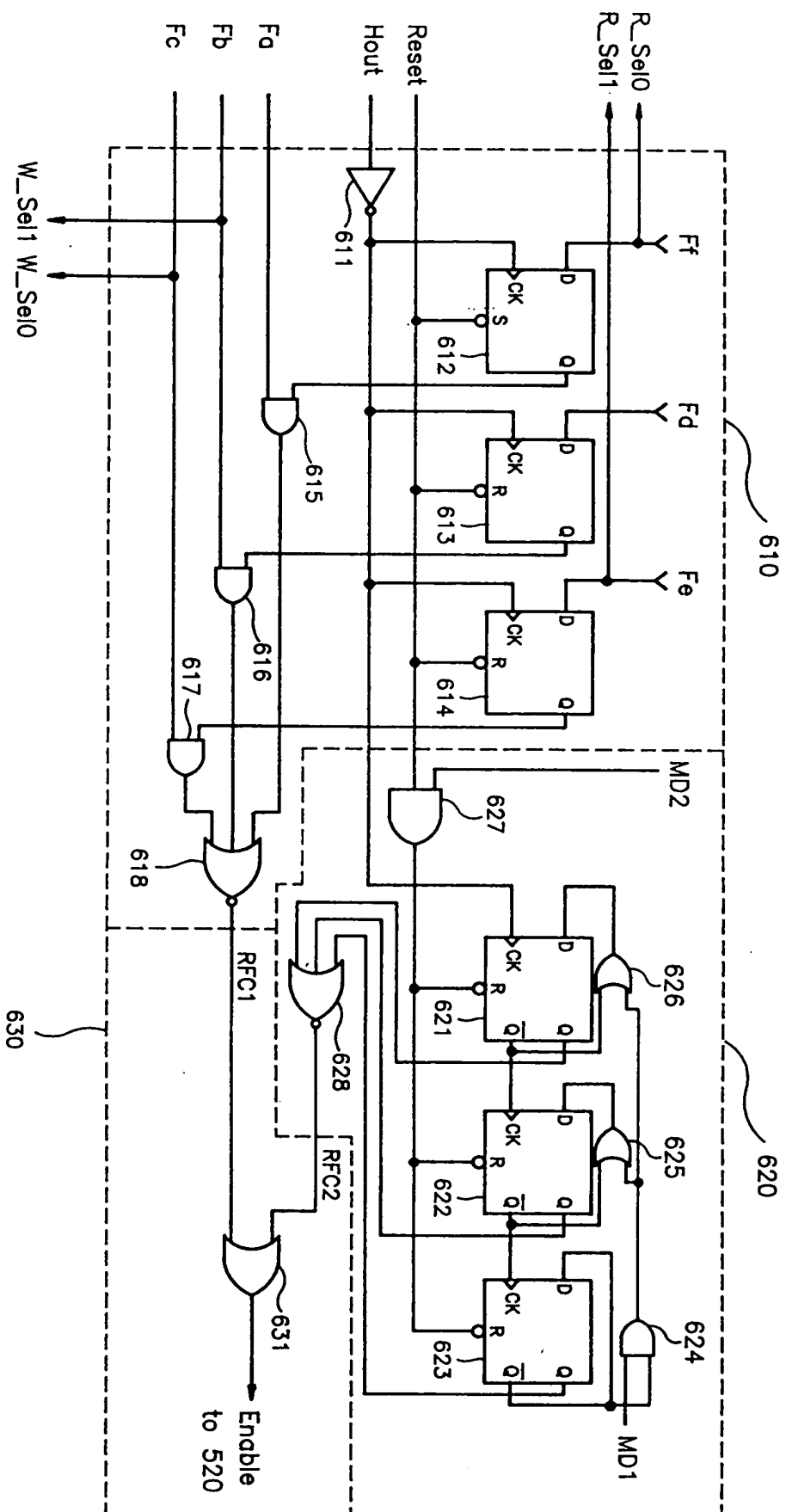
제 12 도



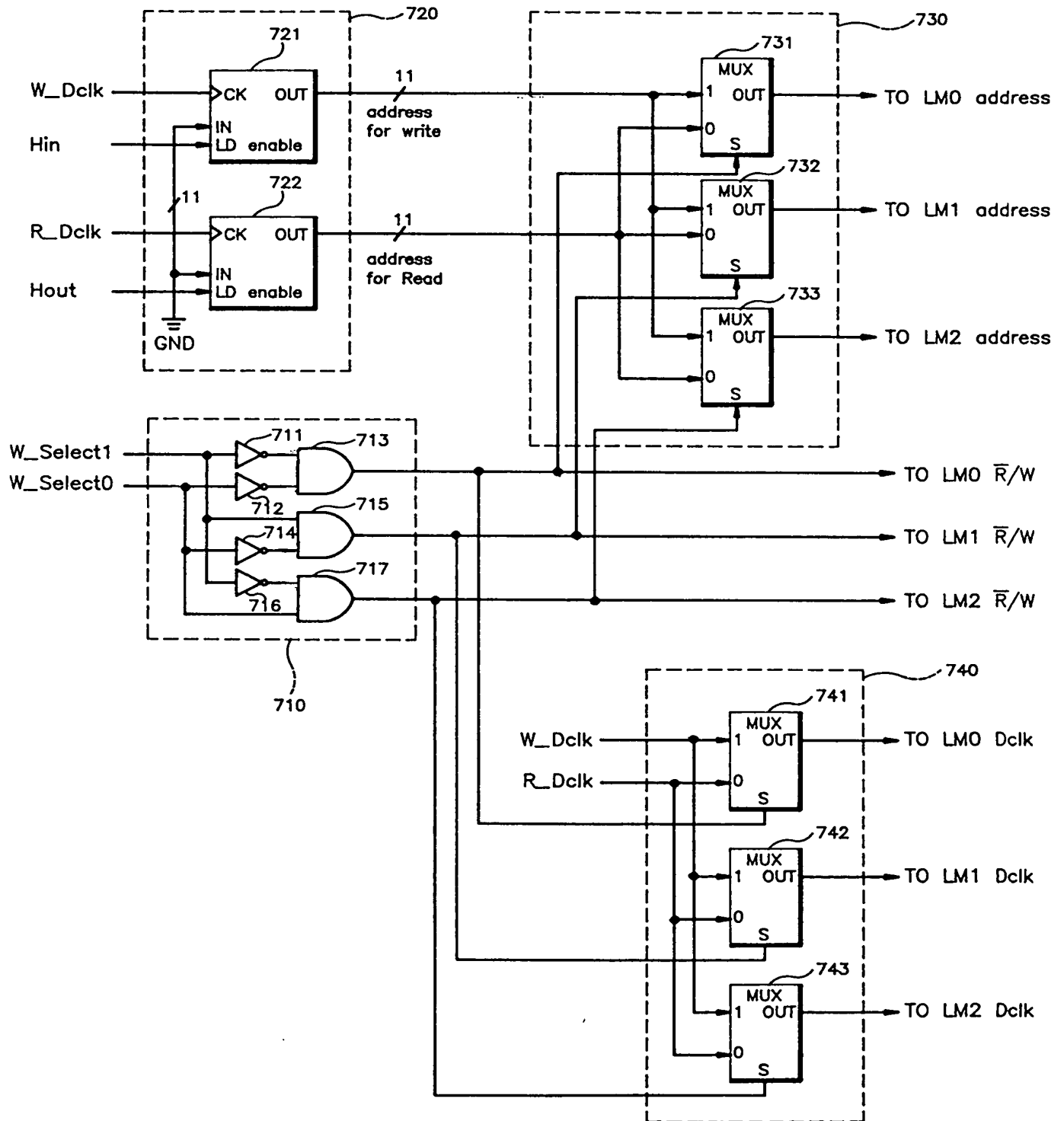
제 14 도



제 13 도



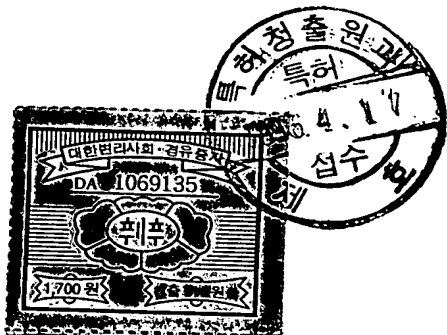
제 15 도



위 임 장

수 임 자	성 명	임 창 현	대리인코드	632 - H361	전화번호	3453-7631/3
	주 소	서울시 강남구 역삼동 827-4(금성빌딩 3층)				
사건의 표시	출 원 번 호		출 원 일 자			
	등 록 번 호 (항고)심판번호		등 록 일 자 (항고)심판일자			
발명의 명칭		표시 모드 변환 기능을 가지는 액정 표시 장치				
위 임 자	성 명	삼성전자 주식회사 대표이사 김 광 호			주민등록번호	
	주 소	경기도 수원시 팔달구 매탄동 416번지				
	사건과의 관 계	출 원 인				
위임할 사항		<p>상기 사건에 관한 출원 및 등록전후의 일체의 행위, 위 사항에 대한 복 대리인의 선임 및 해임의 건과 필요한 경우에는 상기 사건의 취하, 포기, 분할출원, 출원변경, 출원인명의변경, 증명의 청구 또는 그 결과에 대하여 심판, 항고심판, 소원, 소송 또는 상고를 청구하는 건.</p>				

특허법 제 7 조 · 실용신안법 제 3 조 · 의장법 제 4 조 및 상표법 제 5 조의
규정에 의하여 위와 같이 위임함.



1996년 4 월 17 일

위임인

삼성전자 주식회사
대표이사 김 광 호

